(19) Japanese Patent Office (JP)
(12) Publication of Patent Application (A)
(11) Publication Number of Patent Application: H11-345976
(43) Date of Publication of Application: H11(1999). December, 14

(51) Int. Cl.^{6}	Identification Mark	FI		
H01L 29/786		H01L 29/78	617	N
21/336			617	A
			622	

Request of Examination: required
The Number of Claims: 22 OL (9 pages in total)

---

(21) Application No.: H10-152730
(22) Application Date: H10 (1998). June, 2

(71) Applicant: 000004237
NEC Corporation
7-1, Shiba 5-chome, Minato-ku, Tokyo
(72) Inventor: Kenichi Nakamura
c/o NEC Corporation
7-1, Shiba 5-chome, Minato-ku, Tokyo
(74) Agent: Patent Attorney: Yasuyuki Hata

---

(54) [Title of the Invention] HIGH BREAKDOWN VOLTAGE THIN FILM TRANSISTOR

(57) [Abstract]

[Object] To provide a high breakdown voltage thin film transistor in which a change in threshold voltage at an offset region and dielectric breakdown may not occur when a high voltage is applied to a drain region and a subgate electrode, and a decrease in ON current can be prevented.

[Means for Solution] Since a second offset region 7 is interposed between an active region 6 and a first offset region 8, a first subgate electrode 13 formed over the first

offset region 8 is isolated from a main gate electrode 11. A second subgate electrode 15 over the second offset region 7 is arranged at a position higher than the first subgate electrode 13, and the first and the second subgate electrode 13, 15 can be voltage-controlled, independently of the main gate electrode 11 or the like.

[Scope of Claims]

[Claim 1] A high breakdown voltage thin film transistor in which a source region, an active layer, a first offset region, and a drain region are arranged in a semiconductor thin film, characterized in that:

a main gate electrode formed over the active layer with an insulating film interposed therebetween and a first subgate electrode formed over the first offset region with insulating film interposed therebetween are provided;

the first subgate electrode is arranged at a position higher than the main gate electrode to the semiconductor thin film;

a second offset region formed between the active layer and the first offset region arranged in the semiconductor thin film and a second subgate electrode formed over the second offset region with insulating films interposed therebetween are provided;

the first subgate electrode and the second subgate electrode are respectively connected to voltage sources which are different from those of the main gate electrode, the source region, and the drain region; and

the second subgate electrode is arranged at a position higher than the first subgate electrode to the semiconductor thin film.

[Claim 2] The high breakdown voltage thin film transistor according to Claim 1, characterized in that the second subgate electrode is set apart a greater distance from the main gate electrode than the first subgate electrode.

[Claim 3] The high breakdown voltage thin film transistor according to Claim 1 or 2, characterized in that a width of the second offset region is set to 1 to 5 μm.

[Claim 4] The high breakdown voltage thin film transistor according to any one of Claims 1 to 3, characterized in that a wiring for connecting the first subgate electrode and the second subgate electrode electrically is formed in an insulating film provided between the first subgate electrode and the second subgate electrode.

[Claim 5] The high breakdown voltage thin film transistor according to any one of Claims 1 to 4, characterized in that the second subgate electrode is formed with an extending portion above each of the main gate electrode and the first subgate electrode.

[Claim 6] The high breakdown voltage thin film transistor according to any one of Claims 1 to 5, characterized in that the first subgate electrode is formed with an extending portion above the drain region.

[Claim 7] The high breakdown voltage thin film transistor according to any one of Claims 1 to 6, characterized in that:

a third offset region formed between the first offset region and the drain region and a third subgate electrode formed over the third offset region with an insulating film interposed therebetween are provided;

the third subgate electrode is connected to voltage sources which are different from those of the main gate electrode, the source region, and the drain region; and

the third subgate electrode is arranged at a position higher than the first subgate electrode to the semiconductor thin film.

[Claim 8] The high breakdown voltage thin film transistor according to Claim 7, characterized in that the third subgate electrode is set apart a greater distance from the main gate electrode than the first subgate electrode.

[Claim 9] The high breakdown voltage thin film transistor according to Claim 7 or 8, characterized in that a width of the third offset region is set to 1 to 5 μm.

[Claim 10] The high breakdown voltage thin film transistor according to any one of Claims 7 to 9, characterized in that a wiring for connecting the first subgate electrode and the third subgate electrode electrically is formed in an insulating film provided between the first subgate electrode and the third subgate electrode.

[Claim 11] The high breakdown voltage thin film transistor according to any one of Claims 7 to 10, characterized in that the third subgate electrode is formed with an extending portion above each of the drain region and the first subgate electrode.

[Claim 12] The high breakdown voltage thin film transistor according to any one of Claims 1 to 11, characterized in that:

a fourth offset region, a fifth offset region formed sequentially from a close side to the source region between the source region and the active layer, a fourth subgate electrode formed over the fourth offset region with insulating films interposed therebetween, and a fifth subgate electrode formed over the fifth offset region with insulating films interposed therebetween are provided;

the fourth subgate electrode and the fifth subgate electrode are respectively connected to voltage sources which are different from those of the main gate electrode, the source region, and the drain region; and

the fourth subgate electrode is arranged at a position higher than the main gate electrode and the fifth subgate electrode is arranged at a position higher than the fourth subgate electrode to the semiconductor thin film.

[Claim 13] The high breakdown voltage thin film transistor according to Claim 12, characterized in that the fifth subgate electrode is set apart a greater distance from the main gate electrode than the first subgate electrode.

[Claim 14] The high breakdown voltage thin film transistor according to Claim 12 or 13, characterized in that a width of the fifth offset region is set to 1 to 5 μm.

[Claim 15] The high breakdown voltage thin film transistor according to any one of Claims 12 to 14, characterized in that a wiring for connecting the fourth subgate electrode and the fifth subgate electrode electrically is formed in an insulating film provided between the fourth subgate electrode and the fifth subgate electrode.

[Claim 16] The high breakdown voltage thin film transistor according to any one of Claims 12 to 15, characterized in that the fifth subgate electrode is formed with an extending portion above each of the main gate electrode and the fourth subgate electrode.

[Claim 17] The high breakdown voltage thin film transistor according to any one of Claims 12 to 16, characterized in that the fourth subgate electrode is formed with an extending portion above the source region.

[Claim 18] The high breakdown voltage thin film transistor according to any one of Claims 1 to 16, characterized in that:

a sixth offset region formed between the source region and the fourth offset region and a sixth subgate electrode formed over the sixth offset region with an insulating film interposed therebetween are provided;

the sixth subgate electrode is connected to voltage sources which are different from those of the main gate electrode, the source region, and the drain region; and

the sixth subgate electrode is arranged at a position higher than the fourth subgate electrode to the semiconductor thin film.

[Claim 19] The high breakdown voltage thin film transistor according to Claim 18, characterized in that the sixth subgate electrode is set apart a greater distance from the main gate electrode than the first subgate electrode.

[Claim 20] The high breakdown voltage thin film transistor according to Claim 18 or 19, characterized in that a width of the sixth offset region is set to 1 to 5 μm.

[Claim 21] The high breakdown voltage thin film transistor according to any one of Claims 18 to 20, characterized in that a wiring for electrically connecting the fourth subgate electrode and the sixth subgate electrode is formed in an insulating film provided between the fourth subgate electrode and the sixth subgate electrode.

[Claim 22] The high breakdown voltage thin film transistor according to any one of Claims 18 to 21, characterized in that the sixth subgate electrode is formed with an extending portion above each of the source region and the fourth subgate electrode.

[Detailed Description of the Invention]

[0001]

[Industrial Application Field] The present invention relates to a high breakdown voltage thin film transistor. More specifically, this invention relates to a high breakdown voltage thin film transistor in which a change in threshold voltage at an offset region and dielectric breakdown between a main gate electrode and a subgate electrode may not occur when a high voltage is applied to a drain region and the subgate electrode. Therefore, the high breakdown voltage thin film transistor can operate at a high drain voltage and control a subgate voltage at a high voltage to prevent ON current at the offset region from decreasing.

[0002]

[Prior Art] Conventionally, a high breakdown voltage thin film transistor is used to be able to operate even if a high drain voltage is applied, as shown in, for example, IEEE ELECTRONDEVICES LETTERS, vol. 11, No. 6, p. 244, Fig. 1.

[0003]

As for a conventional high breakdown voltage thin film transistor 91 as described in Japanese patent application laid-open No. S57-134973, for example, as shown in FIG. 9, a source region 95 doped with an impurity, an active layer 96 forming a channel, an offset region 97 not doped with an impurity or in which impurity concentration is low, and a drain region 98 doped with an impurity are sequentially formed in a semiconductor thin film 94 formed over an insulating or a semi-insulating substrate such as a glass substrate or a semiconductor substrate 92 with a base oxide film 93 interposed therebetween. In addition, a main gate electrode 100 formed over the active layer 96 with a first insulating film 99 interposed therebetween and a subgate electrode 102 formed over the offset region 97 with a second insulating film 101 interposed therebetween are provided therein, and the subgate electrode 102 is arranged at a position higher than the main gate electrode 100 to the semiconductor thin film 94.

[0004]

As for the high breakdown voltage thin film transistor 91, a high breakdown voltage such as for example 400V can be achieved without the subgate electrode 102 by providing the offset region 97 in which impurity concentration is lower than that of the source region 95 and the drain region 98. However, since a width of the offset region 97 is required to be longer than a width of a depletion layer from the drain region 98, the offset region 97 changes into a high resistivity and ON current is decreased without the subgate electrode 102. Therefore, when the subgate electrode 102 is provided and a drain voltage is set to be 100 V and then a voltage of around 60 V is applied to the subgate electrode 102, an inversion layer is formed in the offset region 97 and the offset region 97 changes into a low resistivity. In addition, the peak of electric field is formed in two boundary areas between the active layer 96 and the offset region 97, between the offset region 97 and drain region 98, and a breakdown voltage property is optimized.

[0005]

However, ON current flowing in the offset region 97 is decreased when the width of the subgate electrode 102 for forming the inversion layer is narrow. Therefore, the subgate electrode 102 is formed with an extending portion about 1 μm above the main gate electrode 100 in anticipation of an alignment margin in a lithography process. In that case, since the shortest distance between the main gate electrode 100 and the subgate electrode 102 becomes equal to a thickness of the second insulating film 101, which is about 700 nm for example, high electric field is generated between the main gate electrode 100 and the subgate electrode 102, and electric charge is injected into the second insulating film 101 when applied voltage to the subgate electrode 102 is raised in order to increase ON current. Therefore, the problem that threshold voltage of the offset region 97 changes or dielectric breakdown occurs between the main gate electrode 100 and the subgate elestrode102 is generated.

[0006]

There are following problems in a high breakdown voltage thin film transistor using two subgate electrodes 31 and 51, which is shown in FIGS. 7 and 8 of Japanese patent application laid-open No. S57-134973. Generation of dielectric breakdown between a main gate electrode 6 and the subgate electrode 31 cannot be prevented because the subgate electrodes 31 and 51 are arranged on the same height from a semiconductor thin film 22 and the subgate electrode 31 has a structure extended above the main gate electrode 6. Next, voluntary voltage settings of the subgate electrodes 31 and 51 are impossible and therefore electric field and ON current cannot be controlled harmoniously because the subgate electrodes 31 and 51 are respectively connected to voltage sources 9 and 11 which are the same as those of the main electrode 6 and a drain electrode 8. And, it is necessary to provide a gap between the subgate electrode 31 and the subgate electrode 51 necessarily, but a region having a high resistivity is formed in an offset region provided lower than this gap.

[0007]

[Problem to be Solved by the Invention] Accordingly, an object of the present invention is to improve the above-described defects of the prior art and to provide a high breakdown voltage thin film transistor in which a change in threshold voltage at an offset region and dielectric breakdown between a main gate electrode and a subgate electrode may not occur when a high voltage is applied to a drain region and the subgate electrode. Therefore, the high breakdown voltage thin film transistor can operate at a high drain voltage and control freely the applied voltage to the subgate voltage to prevent ON current at the offset region from decreasing.

[0008]

[Means for Solving the Problem] The present invention adopts technical structure described below basically to achieve the above-described purpose.

[0009]

That is to say, a first mode of the present invention relates to a high breakdown voltage thin film transistor in which a source region, an active layer, a first offset region, and a drain region arranged in a semiconductor thin film are provided, and a main gate electrode formed over the active layer with an insulating film interposed therebetween and a first subgate electrode formed over the first offset region with insulating films interposed therebetween are provided, and the first subgate electrode is arranged at a position higher than the main gate electrode to the semiconductor thin film. Additionally, in the high breakdown voltage thin film transistor, a second offset region formed between the active layer and the first offset region arranged in the semiconductor thin film and a second subgate electrode formed over the second offset region with insulating films interposed therebetween are provided, and the first subgate electrode and the second subgate electrode are respectively connected to voltage sources which are different from those of the main gate electrode, the source region, and the drain region, and the second subgate electrode is arranged at a position higher than the first subgate electrode to the semiconductor thin film.

[0010]

A second mode of the present invention relates to a high breakdown voltage thin film transistor in which a third offset region formed between the first offset region and the drain region, and a third subgate electrode formed over the third offset region with insulating films interposed therebetween are also provided in the high breakdown voltage thin film transistor described above in the first mode. In addition, the third subgate electrode is connected to a voltage source which is different from those of the main gate electrode, the source region, and the drain region, and the third subgate electrode is arranged at a position higher than the first subgate electrode to the semiconductor thin film.

[0011]

A third mode of the present invention relates to a high breakdown voltage thin film transistor in which a fourth offset region, a fifth offset region sequentially formed from a close side to the source region between the source region and the active layer, a fourth subgate electrode formed over the fourth offset region with insulating films interposed therebetween, and a fifth subgate electrode formed over the fifth offset region with insulating films interposed therebetween are also provided in the high breakdown voltage thin film transistor described above in the second mode. Additionally, the fourth subgate electrode and the fifth subgate electrode are respectively connected to voltage sources which are different from those of the main gate electrode, the source region, and the drain region, and the fourth subgate electrode is arranged at a position higher than the main gate electrode and the fifth subgate electrode is arranged at a position higher than the fourth subgate electrode to the semiconductor thin film.

[0012]

A fourth mode of the present invention relates to a high breakdown voltage thin film transistor in which a sixth offset region formed between the source region and the fourth offset region and a sixth subgate electrode formed over the sixth offset region with insulating films interposed therebetween are also provided in the high breakdown voltage thin film transistor described above in the third mode. In addition, the sixth subgate electrode is connected to a voltage source which is different from those of the main gate electrode, the source region, and the drain region, and the sixth subgate electrode is arranged at a position higher than the fourth subgate electrode to the semiconductor thin film.

[0013]

[Embodiment Mode of the Invention] The high breakdown voltage thin film transistor of the present invention adopts the structure as described above and is characterized hereinafter. A first subgate electrode formed over a first offset region is isolated from a main gate electrode by interposing a second offset region between an active region and the first offset region. Since a second subgate electrode over the second offset region is arranged at a position higher than the first subgate electrode, the second subgate electrode is further isolated from the main gate electrode than the conventional subgate electrode. Even if high electric field is generated between the main gate electrode and the first subgate electrode or the second subgate electrode, a change in threshold voltage at the offset region and dielectric breakdown hardly occurs, and thus, each of the subgate electrodes can be controlled by a high voltage. In addition, the first subgate electrode and the second subgate electrode can be voltage-controlled independently since the first subgate electrode and the second subgate electrode are respectively connected to voltage sources which are different from those of the main gate electrode, the source region, and the drain region, and therefore, electric field and ON current can be freely controlled. Therefore, even if it is operated at a high drain voltage, for example 200 V, dielectric breakdown between gate electrodes and a change in threshold voltage at an offset region is prevented, and that ON current can be controlled to be equal to or less than 10 % for example.

[0014]

[Embodiment] Hereinafter, a specific embodiment for a high breakdown voltage thin film transistor of the present invention is described in detail with reference to drawings. FIG. 1 is a cross-sectional view to show structure of one specific embodiment of a high breakdown voltage thin film transistor 1 in the first mode of the present invention. Since a second offset region 7 is formed between an active layer 6 and a first offset region 8, a source region 5, the active layer 6, the second offset region 7, the first offset region 8, and a drain region 9 are sequentially formed in a semiconductor thin film 4, and a second subgate electrode 15 is formed over the second offset region 7 with insulating films 10, 12, and 14 interposed therebetween. In addition, the first subgate electrode 13 formed over the second offset region 8 with insulating films 10 and 12 interposed therebetween is arranged at a position higher than the main gate electrode 11 formed over the active layer 6 with the insulating film 10 interposed therebetween to the semiconductor thin film 4. In addition, the second subgate electrode 15 is arranged at a position higher than the first subgate electrode 13 formed over the first offset region 8 with insulating films 10 and 12 interposed therebetween to the semiconductor thin film 4.

[0015]

In a high breakdown voltage thin film transistor of the present invention, from the aspect of preventing dielectric breakdown, the second subgate electrode 15 is preferably set apart a greater distance from the main gate electrode 11 than the first subgate electrode 13 as shown in FIG. 1 for example. Moreover, not to generate the region which dose not invert, causing a decrease in ON current, the second subgate electrode 15 is preferably formed with an extending portion about 1μm, for example, above each of the main gate electrode 11 and the first subgate electrode 13, adding an alignment margin in a lithography process, and similarly the first subgate electrode 13 is preferably formed with an extending portion about 1μm, for example, above the drain region 9.

[0016]

Additionally, the second offset region used in a high breakdown voltage thin film transistor of the present invention, as shown in FIG. 1 for example, is provided between the active layer 6 and the first offset region 8 with their boundaries shared. As is clear from a graph showing relationships among the width of the second offset region, ON current, and a breakdown voltage at the time of operating the transistor as shown in FIG. 8, the width of the each boundary-surface is preferably set to be 1 to 5 μm so that a high breakdown voltage of 200 V can be achieved and a decrease in ON current can be controlled to be equal to or less than 10 %. In addition, the first offset region 8 and the drain region 9 is preferably provided with boundaries shared.

[0017]

Additionally, the first subgate electrode 13 and the second subgate electrode 15 are respectively connected to a voltage source 19 (Vsga) and a voltage source 20 (Vsgb) which are different from a voltage source 16 (Vs) in a source region 4, a voltage source

18 (Vg) in a main gate electrode 11, and a voltage source 17 (Vd) in a drain region 9, and they can be voltage-controlled independently. However, as shown in FIG. 2 for example, when a drain voltage (Vd) is set to be 100 V and the first subgate electrode 13 and the second subgate electrode 15 are controlled by the constant and the same voltage, for example 70 V, a wiring 22 for connecting the first subgate electrode 13 and the second subgate electrode 15 electrically is preferably formed in an insulating film 14 provided between the first subgate electrode 13 and the second subgate electrode 15 in order to prevent congestion of wirings, as shown in FIG. 2 for example.

[0018]

FIG. 3 is a cross-sectional view to show structure of one specific embodiment of high breakdown voltage thin film transistor 31 in the second mode of the present invention, with elements same as those of FIG. 1 represented by the same symbol. By forming a third offset region 32 between an offset region 8 and a drain region 9 in the specific embodiment as shown in FIG. 1 additionally, a source region 5, an active layer 6, a second offset region 7, the first offset region 8, the third offset region 32, and the drain region 9 are sequentially formed in a semiconductor thin film 4, and a third subgate electrode 33 is formed over the third offset region 32 with insulating films 10, 12, and 14 interposed therebetween. In addition, the third subgate electrode 33 is arranged at a position higher than the first subgate electrode 13 formed over the first offset region 8 with insulating films 10 and 12 interposed therebetween to the semiconductor thin film 4.

[0019]

From the aspect of preventing dielectric breakdown, the third subgate electrode 33 is preferably set apart a greater distance from the drain region 9 than the first subgate electrode 13 as shown in FIG. 3 for example. Further, not to generate the region which dose not invert, causing a decrease in ON current, the third subgate electrode 15 is preferably formed with an extending portion about 1 μm for example above each of the first subgate electrode 13 and the drain region 9, adding an alignment margin in a lithography process.

[0020]

Additionally, the third offset region used in a high breakdown voltage thin film transistor of the present invention, as shown in FIG. 3 for example, is provided between the first offset region 8 and the drain region 9 with their boundaries shared. As is the case with the second offset region 7, the width of the each boundary-surface is preferably set to be 1 to 5 μm so that a high breakdown voltage of 200 V can be achieved and a decrease in ON current can be controlled to be equal to or less than 10 % at the time of operating the transistor.

[0021]

Additionally, the third subgate electrode 33 is connected to a voltage source 34 (Vsgc) which is different from a voltage source 16 (Vs) in a source region 4, a voltage source 18 (Vg) in a main gate electrode 11, and a voltage source 17 (Vd) in a drain region 9, and it can be voltage-controlled independently. In addition, in the case of an example of FIG. 3 as well as the case shown in FIG. 4, when a drain voltage (Vd) is set to be 100 V and the first subgate electrode 13 and the second subgate electrode 15 are controlled by the constant and the same voltage, for example 70 V, a wiring 42 for connecting the first subgate electrode 13 and the second subgate electrode 15 electrically is preferably formed in an insulating film 14 provided between the first subgate electrode 13 and the second subgate electrode 15 in order to prevent congestion of wirings. Alternatively, in substitution for the wiring 42, a wiring for connecting the first subgate electrode 13 and the third subgate electrode 33 electrically may be formed or a wiring for connecting the second subgate electrode 15 and the third subgate electrode 33 electrically may be formed.

[0022]

FIGS.1 to 4 show examples in which offset regions and subgate electrodes are added sequentially between the active layer 6 and the drain region 9. However, as for a high breakdown voltage thin film transistor of the present invention, since applied voltages of the drain region 9 and the source region 5 may be used reversely, offset regions and subgate electrodes are preferably added sequentially between the source region 5 and the active layer 6, as is the cases with examples of FIGS. 1 to 4, while sandwiching the main gate electrode 11 symmetrically. FIG. 5 is a cross-sectional view to show structure of one specific embodiment of high breakdown voltage thin film transistor 51 in the third mode of the present invention, with elements same as those of FIG. 1 represented by the same symbol. Since a fourth offset region 52 and a fifth offset region 53 are formed between a source region 5 and an active layer 6 in the specific embodiment as shown in FIG. 1 additionally, the source region 5, the fourth offset region 52, the offset region 53, the active layer 6, a second offset region 7, a first offset region 8, a third offset region 32, and the drain region 9 are sequentially formed in a semiconductor thin film 4, and a fourth subgate electrode 54 is formed over the fourth offset region 52 with insulating films 10, 12 interposed therebetween, and a fifth subgate electrode 55 is formed over the fifth offset region 53 with insulating films 10, 12, and 14 interposed therebetween. In addition, the fourth subgate electrode 54 is arranged at a position higher than the main gate electrode 11 formed over the active layer 6 with the insulating film 10 interposed therebetween, and the fifth subgate electrode 55 is arranged at a position higher than the fourth subgate electrode 54 to the semiconductor thin film 4.

[0023]

From the aspect of preventing dielectric breakdown, the fifth subgate electrode 55 is preferably set apart a greater distance from the main gate electrode 11 than the fourth subgate electrode 54 as shown in FIG. 5 for example. Additionally, not to generate the region which dose not invert, causing a decrease in ON current, the fifth subgate electrode 55 is preferably formed with an extending portion about 1 μm for example above each of the fourth subgate electrode 54 and the main gate electrode 11, adding an alignment margin in a lithography process, and similarly the fourth subgate electrode 54 is preferably formed with an extending portion about 1 μm for example above the source region 5.

[0024]

Additionally, the fifth offset region used in a high breakdown voltage thin film transistor of the present invention, as shown in FIG. 5 for example, is provided between the fourth offset region 52 and the active layer 6 with their boundaries shared. As is the case with the second offset region 7, the width of the each boundary-surface is preferably set to be 1 to 5 μm so that a high breakdown voltage of 200 V can be achieved and a decrease in ON current can be controlled to be equal to or less than 10 % at the time of operating the transistor. In addition, the fourth offset region 52 and the source region 5 is preferably provided with boundaries shared.

[0025]

Additionally, the fourth subgate electrode 54 and the fifth subgate electrode 55 are respectively connected to a voltage source 56 (Vsgd) and a voltage source 57 (Vsge) which are different from a voltage source 16 (Vs) in a source region 4, a voltage source 18 (Vg) in a main gate electrode 11, and a voltage source 17 (Vd) in a drain region 9, and they can be voltage-controlled independently. In addition, in the case of an example of FIG. 5 as well as the case shown in FIGS. 2 and 4, a wiring for connecting the fourth subgate electrode 54 and the fifth subgate electrode 55 electrically may be formed.

[0026]

FIG. 6 is a cross-sectional view to show a structure of one specific embodiment of high breakdown voltage thin film transistor 61 in the fourth mode of the present invention, with elements same as those of FIG. 5 represented by the same symbol. Since the third offset region 32 and the third subgate electrode 33 as shown in FIG. 3 are formed and further a sixth offset region 62 is formed between a source region 5 and a fourth offset region 52 in the specific embodiment as shown in FIG. 5, the source region 5, the sixth offset region 62, the fourth offset region 52, the fifth offset region 53, the active layer 6, a second offset region 7, a first offset region 8, a third offset region 32, and the drain region 9 are sequentially formed in a semiconductor thin film 4, and a sixth subgate electrode 63 is formed over the sixth offset region 62 with insulating films 10, 12 and 14 interposed therebetween. In addition, the sixth subgate electrode 63 is arranged at a position higher than the fourth subgate electrode 54 formed over the fourth offset region 52 with insulating films 10 and 12 interposed therebetween.

[0027]

From the aspect of preventing dielectric breakdown, the sixth subgate electrode 63 is preferably set apart a greater distance from the source region 5 than the fourth subgate electrode 54 as shown in FIG. 6 for example. Additionally, not to generate the region which dose not invert, causing a decrease in ON current, the sixth subgate electrode 63 is preferably formed with an extending portion about 1 μm for example above each of the fourth subgate electrode 54 and the source region 5, adding an alignment margin in a lithography process.

[0028]

Further, the sixth offset region used in a high breakdown voltage thin film transistor of the present invention, as shown in FIG. 6 for example, is provided between the fourth offset region 52 and the source region 5 with their boundaries shared. As is the case with the second offset region 7, the width of the each boundary-surface is preferably set to be 1 to 5 μm so that a high breakdown voltage of 200 V can be achieved and a decrease in ON current can be controlled to be equal to or less than 10 % at the time of operating the transistor.

[0029]

Furthermore, the sixth subgate electrode 63 is connected to a voltage source 64 (Vsgf) which is different from a voltage source 16 (Vs) in a source region 4, a voltage source 18 (Vg) in a main gate electrode 11, and a voltage source 17 (Vd) in a drain region 9, and it can be voltage-controlled independently. In addition, in the case of an example of FIG. 6 as well, a wiring for electrically connecting any two or three of the subgate electrodes 54, 55, and 63 may be formed.

[0030]

In addition, although the semiconductor thin film 4 is formed over the glass substrate 2 with a base oxide film 3 interposed therebetween in embodiments of FIG. 1 to FIG. 6, a substrate for forming the semiconductor thin film 4 is not limited to this and any one of an insulating or a semi-insulating substrate, a silicon semiconductor substrate, or the like may be used, and the base oxide film 3 may be another insulating film or the like, or may not be used.

[0031]

Additionally, in the semiconductor thin film 4, although an n-type or a p-type impurity is respectively included in the source region 5 and the drain region 9 with an order of $10^{21}/cm^3$ for example, for achieving a high breakdown voltage, impurities are preferably not included in the active layer 6, each of the offset regions 7, 8, 32, 52, 53, and 62, or even if included, preferably, with amount of equal to or less than the order of $10^{15}/cm^3$.

[0032]

Furthermore, in embodiments of FIG. 1 to FIG. 6, since insulating films 10, 12 and 14 and electrodes 11, 13 and 15 are layered alternately over the semiconductor thin film 4, heights of each of electrodes 11, 13 and 15 are regulated. However, shapes and materials of these electrodes and insulating films can be selected appropriately in the scope of not departing from essence of the present invention.

[0033]

Next, a method for manufacturing a high breakdown voltage thin film transistor of the present invention is described. FIG. 7 is a process explanatory drawing to describe an embodiment of a method for manufacturing the high breakdown voltage thin film transistor as shown in FIG. 1 for example, as one specific embodiment of the method for manufacturing the high breakdown voltage thin film transistor of the present invention. In FIG. 7 (a), a base oxide film 72 to prevent an impurity from diffusing from a glass substrate 71, comprised of a silicon oxide having a film thickness of 500 nm, is formed on the glass substrate 71 by a low-pressure CVD method for example. Additionally, a semiconductor thin film 73 which is comprised of an amorphous silicon having a film thickness of 100 nm is formed on the base oxide film 72 by a low-pressure CVD method for example. And, it is crystallized by an excimer laser beam and is patterned to form the semiconductor thin film 73 with a desired pattern shape which is comprised of polycrystalline silicon not containing impurities. Then, a first insulating film 74 having a film thickness of 100 nm which is comprised of a silicon oxide is formed on the base oxide film 72 so as to cover the semiconductor thin film 73 by a low-pressure CVD method for example.

[0034]

Next, as shown in FIG. 7 (b), films having a laminated structure of an n-type polycrystalline silicon layer with a film thickness of 50 nm containing approximately

$10^{21}/cm^3$ phosphorus formed by a low-pressure CVD method, and a tungsten silicide layer with a film thickness of 200 nm formed by a sputtering method are further patterned to form a main gate electrode 79. Then, an active layer 76 covered with the main gate electrode 73 for forming a channel is formed in the semiconductor thin film 73 located below the main gate electrode 79. Furthermore, by using a resist 80, a part of the semiconductor thin film 73 is doped with a phosphorus ion 81 by an ion beam method for example to form a source region 75 and a drain region 78 containing around $10^{21}/cm^3$ phosphorus.

[0035]

Next, as shown in FIG. 7 (c), after removing the resist 80, a second insulating film 82 having a film thickness of 200 nm which is comprised of a silicon oxide is formed over the first insulating film 74 so as to cover the main gate electrode 80 by a low-pressure CVD method for example. Furthermore, an aluminum film having a film thickness of 200 nm is formed over the second insulating film 82 by a sputtering method for example, and is patterned to form a first subgate electrode 85. Then, a first offset region 84 covered with the first subgate electrode is formed in a part of the semiconductor thin film 73, that is an adjacent part to the drain region 78, located below the first subgate electrode 85.

[0036]

Next, as shown in FIG. 7 (d), a third insulating film 86 having a film thickness of 400 nm which is comprised of a silicon nitride is formed over the second insulating film 82 so as to cover the first subgate electrode 85 by a plasma-CVD method for example. Furthermore, an aluminum film having a film thickness of 200 nm is formed over the third insulating film 86 by a sputtering method for example, and is patterned to form a second subgate electrode 87. Then, a second offset region 83 covered with the second subgate electrode is formed in a part of the semiconductor thin film 73, that is between the active layer 76 and the first offset region 84, located below the second subgate electrode 87. In addition, the second subgate electrode 87 is preferably formed with an extending portion equal to or less than 1μm for example above each of the first subgate electrode 85 and the main gate electrode 79, and the first subgate electrode 85 is preferably formed with an extending portion equal to or less than 1 μm for example above the drain region 78. Furthermore, each of the active layer 76, the second offset region 83, the first offset region 84, and the drain region is preferably provided with their boundaries shared.

[0037]

Note that the other offset regions and subgate electrodes shown in FIG. 2 to FIG. 6 can be formed by the same method as that of an example shown in the FIG. 7.

[0038]

[Effect of the invention] Since a high breakdown voltage thin film transistor of the present invention adopts the structure as described above, in each of the modes, even if high electric field is generated between any one of the source region, the main gate electrode, and the drain region and any one of the first to the sixth subgate electrodes, a change in threshold voltage at the offset region and dielectric breakdown hardly occurs, and thus, each of the subgate electrodes can be controlled by a high voltage. In addition, the first to the sixth subgate electrodes can be voltage-controlled independently since the first to the sixth subgate electrodes are respectively connected to voltage sources which are different from those of the main gate electrode, the source region, and the drain region, and therefore, electric field and ON current can be freely controlled. Therefore, even if it is operated at a high drain voltage, for example 200 V, dielectric breakdown between gate electrodes and a change in threshold voltage at an offset region is prevented, and that ON current can be controlled to be equal to or less than 10 % for example.

[Brief Description of the Drawings]

[FIG. 1] A cross-sectional view to describe one specific embodiment for a high breakdown voltage thin film transistor of the present invention.

[FIG. 2] A cross-sectional view to describe one specific embodiment for a high breakdown voltage thin film transistor of the present invention.

[FIG. 3] A cross-sectional view to describe one specific embodiment for a high breakdown voltage thin film transistor of the present invention.

[FIG. 4] A cross-sectional view to describe one specific embodiment for a high breakdown voltage thin film transistor of the present invention.

[FIG. 5] A cross-sectional view to describe one specific embodiment for a high breakdown voltage thin film transistor of the present invention.

[FIG. 6] A cross-sectional view to describe one specific embodiment for a high breakdown voltage thin film transistor of the present invention.

[FIG. 7] A cross-sectional view to describe processes of one specific embodiment of a method for manufacturing a high breakdown voltage thin film transistor of the present invention. FIG. 7 (a) shows the state that a semiconductor thin film 73 is formed. FIG. 7 (b) shows the state that a main gate electrode 79 is formed. FIG. 7 (c) shows the state that a first subgate electrode 85 is formed. FIG.7 (d) shows the state that a second subgate electrode 87 is formed.

[FIG. 8] A graph showing relationships among the width of a second offset region 7, normalized ON current (A), and a breakdown voltage (B) in a high breakdown voltage thin film transistor of the present invention.

[FIG. 9] A cross-sectional view to describe a high breakdown voltage thin film transistor of a conventional invention.

[Description of Signs]

1, 21, 31, 41, 51, 61...high breakdown voltage thin film transistor
2...substrate
4...semiconductor thin film
5...source region
6...active layer
7...second offset region
8...first offset region
9...drain region
11...main gate electrode
13...first subgate electrode
15...second subgate electrode

(19)日本国特許庁（ＪＰ）　(12)公開特許公報(A)　(11)特許出願公開番号

特開平11－345976

(43)公開日　平成11年(1999)12月14日

(51)Int.Cl.^{6}　識別記号　ＦＩ
H01L 29/786　H01L 29/78　617　N
21/336　617　A
622

審査請求　有　請求項の数22　ＯＬ　（全９頁）

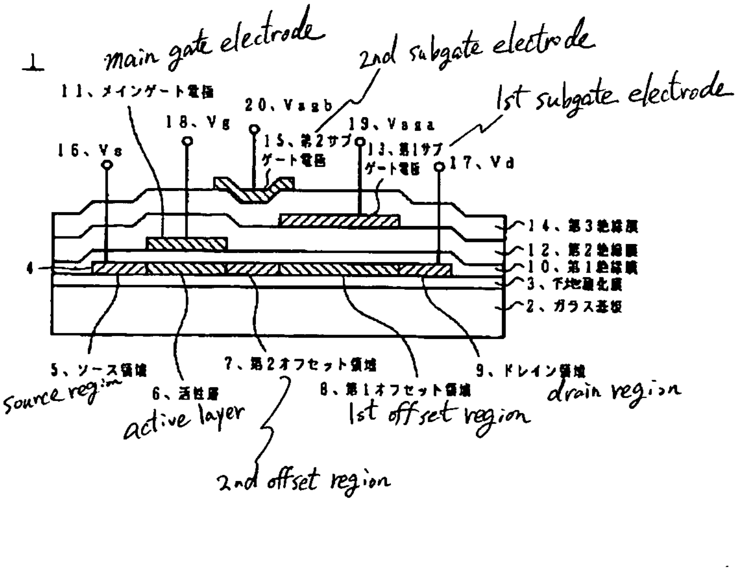
(21)出願番号　特願平10－152730
(22)出願日　平成10年(1998)６月２日

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目７番１号
(72)発明者　中村　健一
東京都港区芝五丁目７番１号　日本電気株式会社内
(74)代理人　弁理士　畑　泰之

(54)【発明の名称】高耐圧薄膜トランジスタ

(57)【要約】
【課題】　ドレイン領域及びサブゲート電極に高電圧を印加しても、オフセット領域のしきい値電圧の変動や絶縁破壊を起す事が無く、又オン電流の低下を防止する事が可能な高耐圧薄膜トランジスタを提供する。
【解決手段】　活性層６と第１オフセット領域８との間に第２オフセット領域７が介在する事で、第１オフセット領域８上に形成された第１サブゲート電極１３がメインゲート電極１１から隔離され、更に第２オフセット領域７上の第２サブゲート電極１５が第１サブゲート電極１３より高い位置に配置され、しかも当該第１及び第２サブゲート電極１３、１５がメインゲート電極１１等と独立して電圧制御可能である。

1



【特許請求の範囲】

【請求項１】　半導体薄膜内に配列形成されたソース領域、活性層、第１オフセット領域及びドレイン領域が設けられており、当該活性層上に絶縁膜を介して形成されたメインゲート電極と、当該第１オフセット領域上に絶縁膜を介して形成された第１サブゲート電極とを有し、当該半導体薄膜に対して、当該第1サブゲート電極が当該メインゲート電極よりも高い位置に配置されている高耐圧薄膜トランジスタであって、更に当該半導体薄膜内の当該活性層と当該第１オフセット領域との間に形成された第２オフセット領域と、当該第２オフセット領域上に絶縁膜を介して形成された第２サブゲート電極とを有し、当該第１サブゲート電極及び第２サブゲート電極が、それぞれ当該メインゲート電極、ソース領域及びドレイン領域とは異なる電圧供給源に接続されており、且つ当該半導体薄膜に対して、当該第２サブゲート電極が当該第１サブゲート電極よりも高い位置に配置されている事を特徴とする高耐圧薄膜トランジスタ。

【請求項２】　当該メインゲート電極に対して、当該第２サブゲート電極が当該第１サブゲート電極よりも離隔して配置されている事を特徴とする請求項１に記載の高耐圧薄膜トランジスタ。

【請求項３】　当該第２オフセット領域の幅が１乃至５μｍとされている事を特徴とする請求項１又は２に記載の高耐圧薄膜トランジスタ。

【請求項４】　当該第１サブゲート電極と当該第２サブゲート電極との間の絶縁膜内に、当該第１サブゲート電極と当該第２サブゲート電極とを電気的に接続するための配線が形成されている事を特徴とする請求項１乃至３の何れかに記載の高耐圧薄膜トランジスタ。

【請求項５】　当該第２サブゲート電極が当該メインゲート電極の上方及び当該第１サブゲート電極の上方にそれぞれ延伸した部分を有する事を特徴とする請求項１乃至４の何れかに記載の高耐圧薄膜トランジスタ。

【請求項６】　当該第１サブゲート電極が当該ドレイン領域の上方に延伸した部分を有する事を特徴とする請求項１乃至５の何れかに記載の高耐圧薄膜トランジスタ。

【請求項７】　更に当該第１オフセット領域と当該ドレイン領域との間に形成された第３オフセット領域と、当該第３オフセット領域上に絶縁膜を介して形成された第３サブゲート電極とを有し、当該第３サブゲート電極が、当該メインゲート電極、当該ソース領域及び当該ドレイン領域とは異なる電圧供給源に接続されており、且つ当該半導体薄膜に対して、当該第３サブゲート電極が当該第１サブゲート電極よりも高い位置に配置されている事を特徴とする請求項１乃至６の何れかに記載の高耐圧薄膜トランジスタ。

【請求項８】　当該ドレイン領域に対して、当該第３サブゲート電極が当該第１サブゲート電極よりも離隔して配置されている事を特徴とする請求項７に記載の高耐圧薄膜トランジスタ。

【請求項９】　当該第３オフセット領域の幅が１乃至５μｍとされている事を特徴とする請求項７又は８に記載の高耐圧薄膜トランジスタ。

【請求項１０】　当該第１サブゲート電極と当該第３サブゲート電極との間の絶縁膜内に、当該第１サブゲート電極と当該第３サブゲート電極とを電気的に接続するための配線が形成されている事を特徴とする請求項７乃至９の何れかに記載の高耐圧薄膜トランジスタ。

【請求項１１】　当該第３サブゲート電極が当該ドレイン領域の上方及び当該第１サブゲート電極の上方にそれぞれ延伸した部分を有する事を特徴とする請求項７乃至１０の何れかに記載の高耐圧薄膜トランジスタ。

【請求項１２】　更に当該ソース領域と当該活性層との間に、当該ソース領域に近い側から順次配列形成された第４オフセット領域及び第５オフセット領域と、当該第４オフセット領域上に絶縁膜を介して形成された第４サブゲート電極と、当該第５オフセット領域上に絶縁膜を介して形成された第５サブゲート電極とを有し、当該第４サブゲート電極及び第５サブゲート電極が、それぞれ当該メインゲート電極、ソース領域及びドレイン領域とは異なる電圧供給源に接続されており、又当該半導体薄膜に対して、当該第４サブゲート電極が当該メインゲート電極よりも高い位置に、当該第５サブゲート電極が当該第４サブゲート電極よりも高い位置に、それぞれ配置されている事を特徴とする請求項１乃至１１の何れかに記載の高耐圧薄膜トランジスタ。

【請求項１３】　当該メインゲート電極に対して、当該第５サブゲート電極が当該第４サブゲート電極よりも離隔して配置されている事を特徴とする請求項１２に記載の高耐圧薄膜トランジスタ。

【請求項１４】　当該第５オフセット領域の幅が１乃至５μｍとされている事を特徴とする請求項１２又は１３に記載の高耐圧薄膜トランジスタ。

【請求項１５】　当該第４サブゲート電極と当該第５サブゲート電極との間の絶縁膜内に、当該第４サブゲート電極と当該第５サブゲート電極とを電気的に接続するための配線が形成されている事を特徴とする請求項１２乃至１４の何れかに記載の高耐圧薄膜トランジスタ。

【請求項１６】　当該第５サブゲート電極が当該メインゲート電極の上方及び当該第４サブゲート電極の上方にそれぞれ延伸した部分を有する事を特徴とする請求項１２乃至１５の何れかに記載の高耐圧薄膜トランジスタ。

【請求項１７】　当該第４サブゲート電極が当該ソース領域の上方に延伸した部分を有する事を特徴とする請求項１２乃至１６の何れかに記載の高耐圧薄膜トランジスタ。

【請求項１８】　更に当該ソース領域と当該第４オフセット領域との間に形成された第６オフセット領域と、当該第６オフセット領域上に絶縁膜を介して形成された第

６サブゲート電極とを有し、当該第６サブゲート電極が、当該メインゲート電極、当該ソース領域及び当該ドレイン領域とは異なる電圧供給源に接続されており、且つ当該半導体薄膜に対して、当該第６サブゲート電極が当該第４サブゲート電極よりも高い位置に配置されている事を特徴とする請求項１乃至１６の何れかに記載の高耐圧薄膜トランジスタ。

【請求項１９】　当該ソース領域に対して、当該第６サブゲート電極が当該第４サブゲート電極よりも離隔して配置されている事を特徴とする請求項１８に記載の高耐圧薄膜トランジスタ。

【請求項２０】　当該第６オフセット領域の幅が１乃至５μmとされている事を特徴とする請求項１８又は１９に記載の高耐圧薄膜トランジスタ。

【請求項２１】　当該第４サブゲート電極と当該第６サブゲート電極との間の絶縁膜内に、当該第４サブゲート電極と当該第６サブゲート電極とを電気的に接続するための配線が形成されている事を特徴とする請求項１８乃至２０の何れかに記載の高耐圧薄膜トランジスタ。

【請求項２２】　当該第６サブゲート電極が当該ソース領域の上方及び当該第４サブゲート電極の上方にそれぞれ延伸下部分を有する事を特徴とする請求項１８乃至２１の何れかに記載の高耐圧薄膜トランジスタ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は高耐圧薄膜トランジスタに関するものであり、特に詳しくは、ドレイン領域及びサブゲート電極に高電圧を印加した場合にも、オフセット領域のしきい値電圧の変動やメインゲート電極とサブゲート電極との間の絶縁破壊を起す事が無く、従って高いドレイン電圧にて動作可能で、しかもサブゲート電圧を高電圧にて制御して、オフセット領域のオン電流の低下を防止する事が可能な高耐圧薄膜トランジスタに関するものである。

【０００２】

【従来の技術】従来から、高耐圧薄膜トランジスタが、例えばＩＥＥＥ　ＥＬＥＣＴＲＯＮＤＥＶＩＣＥＳ　ＬＥＴＴＥＲＳ，ｖｏｌ．１１，Ｎｏ．６，ｐ．２４４，Ｆｉｇ．１に示されている様に、高いドレイン電圧を印加しても動作可能とするために用いられている。

【０００３】特開昭５７－１３４９７３号公報に記載されている様な、従来の高耐圧薄膜トランジスタ９１は、例えば、図９に示す様に、ガラス基板等の絶縁性又は半絶縁性基板、或いは半導体基板９２上に、下地酸化膜９３を介して形成された半導体薄膜９４内に、不純物をドープしたソース領域９５、チャネルを形成する活性層９６、不純物をドープしていない、或いは不純物濃度が低いオフセット領域９７、及び不純物をドープしたドレイン領域９８が順次配列形成されており、当該活性層９６上に第１絶縁膜９９を介して形成されたメインゲート電極１００と、当該オフセット領域９７上に第２絶縁膜１０１を介して形成されたサブゲート電極１０２とを有し、当該半導体薄膜９４に対して、当該サブゲート電極１０２が当該メインゲート電極１００よりも高い位置に配置されている。

【０００４】当該高耐圧薄膜トランジスタ９１は、ソース領域９５及びドレイン領域９８よりも不純物濃度の低いオフセット領域９７を設ける事により、サブゲート電極１０２がない状態で、例えば４００ボルトといった高耐圧を達成する事が出来るが、当該オフセット領域９７の幅を当該ドレイン領域９８からの空乏層の広がりの幅より長くする必要がある為、サブゲート電極１０２がない状態では、当該オフセット領域９７が高抵抗化し、オン電流を低下させる事になる。その為、当該サブゲート電極１０２を設け、例えばドレイン電圧を１００Ｖとした場合に、当該サブゲート電極１０２に６０Ｖ程度の電圧を印加すると、当該オフセット領域９７内に反転層が形成されて、当該オフセット領域が低抵抗化し、且つ例えば当該活性層９６とオフセット領域９７との境界部分、及び当該オフセット領域９７とドレイン領域９８との境界部分の２箇所に電界のピークが形成され、耐圧特性も最適化すると言われている。

【０００５】然しながら、当該反転層を形成する為のサブゲート電極１０２の幅が狭いと、当該オフセット領域９７を流れるオン電流が低下する為、当該サブゲート電極１０２は、リソグラフィー工程における目ずれのマージンも見込んで、１μm程度当該メインゲート電極１００の上方に延伸させて形成するが、その場合、当該メインゲート電極１００とサブゲート電極１０２との最短距離が当該第２絶縁膜１０１の厚み分、例えば７００ナノメートル程度となる為、オン電流を大きくする為に当該サブゲート電極１０２への印加電圧を高めると、当該メインゲート電極１００とサブゲート電極１０２との間に高電界が発生し、当該第２絶縁膜１０１に電荷が注入され、当該オフセット領域９７のしきい値電圧が変動したり、或いは当該メインゲート電極１００とサブゲート電極１０２との間で絶縁破壊が起るという問題が生じた。

【０００６】又、特開昭５７－１３４９７３号公報の第７図及び第８図には、２つのサブゲート電極３１及び５１を用いた高耐圧薄膜トランジスタが開示されているが、当該サブゲート電極３１、５１は半導体薄膜２２から同じ高さに配置されており、且つサブゲート電極３１がメインゲート電極６の上方に延伸した構造を有するから、当該メインゲート電極６とサブゲート電極３１との間の絶縁破壊の発生は防止し得ない点、サブゲート電極３１、５１が夫々メインゲート電極６及びドレイン電極８と同一の電圧供給源９、１１に接続されている為、サブゲート電極３１、５１の任意の電圧設定が不可能で、従って電界及びオン電流の調和のとれた制御が出来ない点、及びサブゲート電極３１、５１の間には必然的に絶

縁用の隙間を設ける必要があるが、この隙間の下方のオフセット領域に高抵抗の領域が形成されてしまう点、などが問題であった。

【０００７】

【発明が解決しようとする課題】従って、本発明の目的は、上記した従来技術の欠点を改良し、ドレイン領域及びサブゲート電極に高電圧を印加した場合にも、オフセット領域のしきい値電圧の変動やメインゲート電極とサブゲート電極との間の絶縁破壊を起す事が無く、従って高いドレイン電圧を印加しても動作可能で、しかもサブゲート電極への印加電圧を自在に制御して、オフセット領域のオン電流の低下を防止する事が可能な高耐圧薄膜トランジスタを提供するものである。

【０００８】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には以下に記載されるような技術構成を採用するものである。

【０００９】即ち、本発明に係る第１の態様としては、半導体薄膜内に配列形成されたソース領域、活性層、第１オフセット領域及びドレイン領域が設けられており、当該活性層上に絶縁膜を介して形成されたメインゲート電極と、当該第１オフセット領域上に絶縁膜を介して形成された第１サブゲート電極とを有し、当該半導体薄膜に対して、当該第1サブゲート電極が当該メインゲート電極よりも高い位置に配置されている高耐圧薄膜トランジスタであって、更に当該半導体薄膜内の当該活性層と当該第１オフセット領域との間に形成された第２オフセット領域と、当該第２オフセット領域上に絶縁膜を介して形成された第２サブゲート電極とを有し、当該第１サブゲート電極及び第２サブゲート電極が、それぞれ当該メインゲート電極、ソース領域及びドレイン領域とは異なる電圧供給源に接続されており、且つ当該半導体薄膜に対して、当該第２サブゲート電極が当該第１サブゲート電極よりも高い位置に配置されている高耐圧薄膜トランジスタである。

【００１０】又本発明に係る第２の態様としては、上記した第１の態様の高耐圧薄膜トランジスタに、更に当該第１オフセット領域と当該ドレイン領域との間に形成された第３オフセット領域と、当該第３オフセット領域上に絶縁膜を介して形成された第３サブゲート電極とを有し、当該第３サブゲート電極が、当該メインゲート電極、当該ソース領域及び当該ドレイン領域とは異なる電圧供給源に接続されており、且つ当該半導体薄膜に対して、当該第３サブゲート電極が当該第１サブゲート電極よりも高い位置に配置されている高耐圧薄膜トランジスタである。

【００１１】又本発明に係る第３の態様としては、上記した第２の態様の高耐圧薄膜トランジスタに、更に当該ソース領域と当該活性層との間に、当該ソース領域に近い側から順次配列形成された第４オフセット領域及び第５オフセット領域と、当該第４オフセット領域上に絶縁膜を介して形成された第４サブゲート電極と、当該第５オフセット領域上に絶縁膜を介して形成された第５サブゲート電極とを有し、当該第４サブゲート電極及び第５サブゲート電極が、それぞれ当該メインゲート電極、ソース領域及びドレイン領域とは異なる電圧供給源に接続されており、又当該半導体薄膜に対して、当該第４サブゲート電極が当該メインゲート電極よりも高い位置に、当該第５サブゲート電極が当該第４サブゲート電極よりも高い位置に、それぞれ配置されている高耐圧薄膜トランジスタである。

【００１２】又本発明に係る第４の態様としては、上記した第３の態様の高耐圧薄膜トランジスタに、更に当該ソース領域と当該第４オフセット領域との間に形成された第６オフセット領域と、当該第６オフセット領域上に絶縁膜を介して形成された第６サブゲート電極とを有し、当該第６サブゲート電極が、当該メインゲート電極、当該ソース領域及び当該ドレイン領域とは異なる電圧供給源に接続されており、且つ当該半導体薄膜に対して、当該第６サブゲート電極が当該第４サブゲート電極よりも高い位置に配置されている高耐圧薄膜トランジスタである。

【００１３】

【発明の実施の形態】本発明にかかる当該高耐圧薄膜トランジスタは、上記した様な構成を採用しており、その特徴は、活性層と第１オフセット領域との間に第２オフセット領域が介在する事で、第１オフセット領域上に形成された第１サブゲート電極がメインゲート電極から隔離され、更に第２オフセット領域上の第２サブゲート電極が第１サブゲート電極より高い位置に配置されている為、従来のサブゲート電極よりもメインゲート電極から隔離される事となる為、メインゲート電極と第１サブゲート電極又は第２サブゲート電極との間に高電界が発生しても、オフセット領域のしきい値電圧の変動や絶縁破壊が起り難くなり、従って当該各サブゲート電極を高電圧にて制御する事が可能となる。又、第１サブゲート電極及び第２サブゲート電極が、それぞれメインゲート電極、ソース領域及びドレイン領域とは異なる電圧供給源に接続されている為、第１サブゲート電極及び第２サブゲート電極がそれぞれ独立して電圧制御可能であり、従って電界及びオン電流の自在の制御が可能となる。その為、例えば２００ボルトの高ドレイン電圧で動作させても、ゲート電極間の絶縁破壊や、オフセット領域のしきい値電圧の変動が防止され、しかもオン電流も例えば１０％以下に抑制する事が可能となる。

【００１４】

【実施例】以下に、本発明に係る高耐圧薄膜トランジスタの具体例を図面を参照しながら詳細に説明する。即ち、図１は、本発明に係る第１の態様の高耐圧薄膜トランジスタ１の一具体例の構造を示す断面図であり、図

中、活性層６と第１オフセット領域８との間に第２オフセット領域７が形成される事で、半導体薄膜４内にソース領域５、活性層６、第２オフセット領域７、第１オフセット領域８及びドレイン領域９が順次配列形成され、又当該第２オフセット領域７上に絶縁膜１０、１２、１４を介して第２サブゲート電極１５が形成されており、当該半導体薄膜４に対して、絶縁膜１０、１２を介して当該第１オフセット領域８上に形成された当該第１サブゲート電極１３は、絶縁膜１０を介して当該活性層６上に形成された当該メインゲート電極１１よりも、又当該第２サブゲート電極１５は、絶縁膜１０、１２を介して当該第１オフセット領域８上に形成された第１サブゲート電極１３よりも高い位置に配置されている。

【００１５】本発明に係る高耐圧薄膜トランジスタに於いては、絶縁破壊防止の観点から、当該第２サブゲート電極１５は、例えば図１に示した様に、当該メインゲート電極１１に対して、当該第１サブゲート電極１３よりも離隔して配置されている事が好ましい。又、オン電流低下の原因となる反転層空白域を生じない様に、又リソグラフィー工程での目ずれを加味して、当該第２サブゲート電極１５は、当該メインゲート電極１１の上方及び当該第１サブゲート電極１３の上方にそれぞれ例えば１μｍ程度延伸した部分を有する事が好ましく、又同様に当該第１サブゲート電極１３は、当該ドレイン領域９の上方に例えば１μｍ程度延伸した部分を有する事が好ましい。

【００１６】更に、本発明に係る高耐圧薄膜トランジスタに於いて使用される当該第２オフセット領域は、例えば図１に示す様に、当該活性層６と当該第１オフセット領域８とのそれぞれに境界を接して設けられ、当該各境界面間の幅は、図８に示した、当該トランジスタ動作時の第２オフセット領域の幅とオン電流及び耐圧との関係のグラフから明らかなように、２００ボルトの高耐圧を実現し、且つオン電流の低下を１０％以内とする為に、１乃至５μｍとする事が好ましい。尚、当該第１オフセット領域８と当該ドレイン領域９とは、同様に境界を接して設けられている事が好ましい。

【００１７】又、当該第１サブゲート電極１３及び第２サブゲート電極１５は、夫々ソース領域４の電圧供給源（Ｖｓ）１６、メインゲート電極１１の電圧供給源（Ｖｇ）１８及びドレイン領域９の電圧供給源（Ｖｄ）１７とは異なる電圧供給源（Ｖｓｇａ）１９及び電圧供給源（Ｖｓｇｂ）２０に接続されて、それぞれ独立して電圧制御可能とされているが、例えば図２に示した様に、例えばドレイン電圧（Ｖｄ）が１００ボルトの場合に、当該第１サブゲート電極１３及び第２サブゲート電極１５を一定した同一の電圧、例えば７０ボルトで制御する場合に、当該電圧供給の為の配線の混雑を防止する為に、例えば図２に示した様に、当該第１サブゲート電極１３と当該第２サブゲート電極１５との間の絶縁膜１４内に、当該電極１３及び１５を電気的に接続する為の配線２２が形成されている事が好ましい。

【００１８】次に、図３は、図１と同一の要素を同一の符号で表した、本発明に係る第２の態様の高耐圧薄膜トランジスタ３１の一具体例の構造を示す断面図であり、図中、図１に示した具体例に、更に、第１オフセット領域８とドレイン領域９との間に第３オフセット領域３２が形成される事で、半導体薄膜４内にソース領域５、活性層６、第２オフセット領域７、第１オフセット領域８、第３オフセット領域３２及びドレイン領域９が順次配列形成され、又当該第３オフセット領域３２上に絶縁膜１０、１２、１４を介して第３サブゲート電極３３が形成されており、当該半導体薄膜４に対して、当該第３サブゲート電極３３は、絶縁膜１０、１２を介して当該第１オフセット領域８上に形成された第１サブゲート電極１３よりも高い位置に配置されている。

【００１９】絶縁破壊防止の観点から、当該第３サブゲート電極３３は、例えば図３に示した様に、当該ドレイン領域９に対して、当該第１サブゲート電極１３よりも離隔して配置されている事が好ましい。又、オン電流低下の原因となる反転層空白域を生じない様に、又リソグラフィー工程での目ずれを加味して、当該第３サブゲート電極１５は、当該第１サブゲート電極１３の上方及び当該ドレイン領域９の上方にそれぞれ例えば１μｍ程度延伸した部分を有する事が好ましい。

【００２０】更に、本発明に係る高耐圧薄膜トランジスタに於いて使用される当該第３オフセット領域は、例えば図３に示す様に、当該第１オフセット領域８と当該ドレイン領域９とのそれぞれに境界を接して設けられ、当該各境界面間の幅は、当該第２オフセット領域７の場合と同様に、当該トランジスタ動作時に２００ボルトの高耐圧を実現し、且つオン電流の低下を１０％以内とする為に、１乃至５μｍとする事が好ましい。

【００２１】又、当該第３サブゲート電極３３は、ソース領域４の電圧供給源（Ｖｓ）１６、メインゲート電極１１の電圧供給源（Ｖｇ）１８及びドレイン領域９の電圧供給源（Ｖｄ）１７とは異なる電圧供給源（Ｖｓｇｃ）３４に接続されて、独立して電圧制御可能とされている。又、図３の例の場合にも、図４に示した様に、例えばドレイン電圧（Ｖｄ）が１００ボルトの場合に、当該第１サブゲート電極１３及び第２サブゲート電極１５を一定した同一の電圧、例えば７０ボルトで制御する場合に、当該電圧供給の為の配線の混雑を防止する為に、例えば図４に示した様に、当該第１サブゲート電極１３と当該第２サブゲート電極１５との間の絶縁膜１４内に、当該電極１３及び１５を電気的に接続する為の配線４２が形成されている事が好ましい。或いは、当該配線４２の代りに、当該第１サブゲート電極１３と第３サブゲート電極３３とを電気的に接続する為の配線が形成されていてもよいし、或いは当該配線と配線４２との両

方、或いは更に当該第２サブゲート電極１５と第３サブゲート電極３３とを電気的に接続する為の配線が形成されていてもよい。

【００２２】図１乃至図４の例は、当該活性層６とドレイン領域９との間に順次オフセット領域及びサブゲート電極を増設した例を示したが、本発明に係る高耐圧薄膜トランジスタは、当該ドレイン領域９と当該ソース領域５との印加電圧を反転して使用する場合もある為、当該ソース領域５と当該活性層６との間にも、図１乃至図４の例と同様に、且つ当該メインゲート電極１１を挟んで対称的に順次オフセット領域及びサブゲート電極を増設する事が好ましく、そのうち、図５は、図１と同一の要素を同一の符号で表した、本発明に係る第３の態様の高耐圧薄膜トランジスタ５１の一具体例の構造を示す断面図であり、図中、図１に示した具体例に、更に、ソース領域５と活性層６との間に、第４オフセット領域５２及び第５オフセット領域５３が形成される事で、半導体薄膜４内にソース領域５、第４オフセット領域５２、第５オフセット領域５３、活性層６、第２オフセット領域７、第１オフセット領域８、第３オフセット領域３２及びドレイン領域９が順次配列形成され、又当該第４オフセット領域５２上に絶縁膜１０、１２を介して第４サブゲート電極５４、又当該第５オフセット領域５３上に絶縁膜１０、１２、１４を介して第５サブゲート電極５５がそれぞれ形成されており、当該半導体薄膜４に対して、当該第４サブゲート電極５４は、絶縁膜１０を介して当該活性層６上に形成されたメインゲート電極１１よりも高い位置に、又当該第５サブゲート電極５５は、当該第４サブゲート電極５４よりも高い位置に配置されている。

【００２３】絶縁破壊防止の観点から、当該第５サブゲート電極５５は、例えば図５に示した様に、当該メインゲート電極１１に対して、当該第４サブゲート電極５４よりも離隔して配置されている事が好ましい。又、オン電流低下の原因となる反転層空白域を生じない様に、又リソグラフィー工程での目ずれを加味して、当該第５サブゲート電極５５は、当該第４サブゲート電極５４の上方及び当該メインゲート電極１１の上方にそれぞれ例えば１μm程度延伸した部分を有する事が好ましく、又同様に当該第４サブゲート電極５４は、当該ソース領域５の上方に例えば１μm程度延伸した部分を有する事が好ましい。

【００２４】更に、本発明に係る高耐圧薄膜トランジスタに於いて使用される当該第５オフセット領域は、例えば図５に示す様に、当該第４オフセット領域５２と当該活性層６とのそれぞれに境界を接して設けられ、当該各境界面間の幅は、当該第２オフセット領域７の場合と同様に、当該トランジスタ動作時に２００ボルトの高耐圧を実現し、且つオン電流の低下を１０％以内とする為に、１乃至５μmとする事が好ましい。尚、当該第４オフセット領域５２とソース領域５とは、同様に境界を接して設けられている事が好ましい。

【００２５】又、当該第４サブゲート電極５４及び第５サブゲート電極５５は、それぞれ、ソース領域４の電圧供給源（Ｖｓ）１６、メインゲート電極１１の電圧供給源（Ｖｇ）１８及びドレイン領域９の電圧供給源（Ｖｄ）１７とは異なる電圧供給源（Ｖｓｇｄ）５６及び電圧供給源（Ｖｓｇｅ）５７に接続されて、独立して電圧制御可能とされている。又、図５の例の場合にも、図２及び図４に示した例の様に、当該第４サブゲート電極５４と第５サブゲート電極５５とを電気的に接続する為の配線が形成されていてもよい。

【００２６】次に、図６は、図５と同一の要素を同一の符号で表した、本発明に係る第４の態様の高耐圧薄膜トランジスタ６１の一具体例の構造を示す断面図であり、図中、図５に示した具体例に、図３に示した様な第３オフセット領域３２及び第３サブゲート電極３３が形成されていると共に、更に、ソース領域５と第４オフセット領域５２との間に第６オフセット領域６２が形成される事で、半導体薄膜４内にソース領域５、第６オフセット領域６２、第４オフセット領域５２、第５オフセット領域５３、活性層６、第２オフセット領域７、第１オフセット領域８、第３オフセット領域３２及びドレイン領域９が順次配列形成され、又当該第６オフセット領域６２上に絶縁膜１０、１２、１４を介して第６サブゲート電極６３が形成されており、当該半導体薄膜４に対して、当該第６サブゲート電極６３は、絶縁膜１０、１２を介して当該第４オフセット領域５２上に形成された第４サブゲート電極５４よりも高い位置に配置されている。

【００２７】絶縁破壊防止の観点から、当該第６サブゲート電極６３は、例えば図６に示した様に、当該ソース領域５に対して、当該第４サブゲート電極５４よりも離隔して配置されている事が好ましい。又、オン電流低下の原因となる反転層空白域を生じない様に、又リソグラフィー工程での目ずれを加味して、当該第６サブゲート電極６３は、当該第４サブゲート電極５４の上方及び当該ソース領域５の上方にそれぞれ例えば１μm程度延伸した部分を有する事が好ましい。

【００２８】更に、本発明に係る高耐圧薄膜トランジスタに於いて使用される当該第６オフセット領域は、例えば図６に示す様に、当該第４オフセット領域５２と当該ソース領域５とのそれぞれに境界を接して設けられ、当該各境界面間の幅は、当該第２オフセット領域７の場合と同様に、当該トランジスタ動作時に２００ボルトの高耐圧を実現し、且つオン電流の低下を１０％以内とする為に、１乃至５μmとする事が好ましい。

【００２９】又、当該第６サブゲート電極６３は、ソース領域４の電圧供給源（Ｖｓ）１６、メインゲート電極１１の電圧供給源（Ｖｇ）１８及びドレイン領域９の電圧供給源（Ｖｄ）１７とは異なる電圧供給源（Ｖｓｇ ｆ）６４に接続されて、独立して電圧制御可能とされている。又、図６の例の場合にも、各サブゲート電極５４、５５、６３の何れか２つ或いは３つの電極を電気的に接続する為の配線が形成されていてもよい。

【００３０】尚、図１乃至図６の例に於いて、当該半導体薄膜４は、ガラス基板２上に下地酸化膜３を介して形成されているが、当該半導体薄膜４を形成する為の基板はこれに限定されず、絶縁性又は半絶縁性の基板、或いはシリコン半導体基板等の何れでもよく、又当該下地酸化膜３は別の絶縁膜等でもよいし、或いはなくてもよい。

【００３１】又、当該半導体薄膜４に於いて、当該ソース領域５及びドレイン領域９には、それぞれｎ型又はｐ型不純物が、例えば１０^{21}／ｃｍ^{3} のオーダーで含まれているが、高耐圧化の為には、当該活性層６及び各オフセット領域７、８、３２、５２、５３、６２には、不純物が含まれていないか、或いは含まれていても１０^{15}／ｃｍ^{3} のオーダー以下の量で含まれている事が好ましい。

【００３２】更に、図１乃至図６の例に於いて、当該半導体薄膜４上には絶縁膜１０、１２、１４と電極１１、１３、１５とが交互に積層される事で、各電極１１、１３、１５の高さが調節されているが、これら電極及び絶縁膜の形状及び材質は、本発明の本質を逸脱しない範囲で、適宜選択する事が出来る。

【００３３】次に、本発明に係る高耐圧薄膜トランジスタの製造方法について説明する。図７は、本発明に係る高耐圧薄膜トランジスタの製造方法の一具体例として、例えば図１に示した高耐圧薄膜トランジスタの製造例を説明するための工程説明図であり、図７（ａ）では、ガラス基板等の基板７１上に、例えば低圧ＣＶＤ法により膜厚５００ナノメートルのシリコン酸化物から成る、当該ガラス基板７１からの不純物の拡散を防止する為の下地酸化膜７２が形成され、当該下地酸化膜７２上に、例えば低圧ＣＶＤ法により膜厚１００ナノメートルのアモルファスシリコンから成る半導体薄膜７３が形成され、例えばエキシマレーザビームにより結晶化し、且つパターニング処理して、所望するパターン形状の、不純物を含有しない多結晶シリコンから成る半導体薄膜７３を形成した後、当該半導体薄膜７３を覆う様にして、当該下地酸化膜７２上に、例えば低圧ＣＶＤ法により、膜厚１００ナノメートルのシリコン酸化物から成る第１絶縁膜７４が形成される。

【００３４】次いで、図７（ｂ）に示した様に、当該第１絶縁膜７４上に、例えば低圧ＣＶＤ法により形成された、リンを約１０^{21}／ｃｍ^{3} 含有する、膜厚５０ナノメートルのｎ型多結晶シリコンから成る層と、例えばスパッタ法により形成した膜厚２００ナノメートルのタングステンシリサイド層との積層構造の膜体を更にパターニング処理して、メインゲート電極７９を形成し、当該メイン電極７９の下方の半導体薄膜７３内に、当該メインゲート電極７３で覆われた、チャネル形成用の活性層７６を画成し、更にレジスト８０を用いて、当該半導体薄膜７３内の一部に、例えばイオンビーム法により、例えばリンイオン８１をドープして、リンを約１０^{21}／ｃｍ^{3} 含有するソース領域７５及びドレイン領域７８を形成する。

【００３５】次いで、図７（ｃ）に示した様に、当該レジスト８０を除去した後、当該メインゲート電極８０を覆う様にして、当該第１絶縁膜７４上に、例えば低圧ＣＶＤ法により、膜厚２００ナノメートルのシリコン酸化物から成る第２絶縁膜８２を形成し、更に、当該第２絶縁膜８２上に、例えばスパッタ法により、膜厚２００ナノメートルのアルミニウムの膜を形成し、パターニング処理して、第１サブゲート電極８５を形成し、当該第１サブゲート電極８５の下方の、半導体薄膜７３内の一部、即ち当該ドレイン領域７８に隣接した部分に、当該第１サブゲート電極で覆われた第１オフセット領域８４を画成する。

【００３６】次いで、図７（ｄ）に示した様に、当該第１サブゲート電極８５を覆う様にして、当該第２絶縁膜８２上に、例えばプラズマＣＶＤ法により、膜厚４００ナノメートルのシリコン窒化物から成る第３絶縁膜８６を形成し、更に、当該第３絶縁膜８６上に、例えばスパッタ法により、膜厚２００ナノメートルのアルミニウムの膜を形成し、パターニング処理して、第２サブゲート電極８７を形成し、当該第２サブゲート電極８７の下方の半導体薄膜７３内、即ち当該活性層７６と当該第１オフセット領域８４との間に、当該第２サブゲート電極で覆われた第２オフセット領域８３を画成する。尚、当該第２サブゲート電極８７は、当該第１サブゲート電極８５の上方及び当該メインゲート電極７９の上方にそれぞれ１μｍ又はそれ以下の幅で延伸した部分を形成する事が好ましく、又当該第１サブゲート電極８５は、当該ドレイン領域７８の上方に１μｍ又はそれ以下の幅で延伸した部分を形成する事が好ましい。更に、当該活性層７６、第２オフセット領域８３、第１オフセット領域８４、ドレイン領域は、それぞれ境界を接して設けられている事が好ましい。

【００３７】尚、図２乃至図６に示したその他のオフセット領域及びサブゲート電極は、当該図７に示した例と同様の方法で形成する事が出来る。

【００３８】

【発明の効果】本発明に係る当該高耐圧薄膜トランジスタは、上記した様な技術構成を採用しているので、当該各態様において、ソース領域、メインゲート電極及びドレイン領域の何れかと、第１乃至第６サブゲート電極の何れかとの間に高電界が発生しても、オフセット領域のしきい値電圧の変動や絶縁破壊が起り難くなり、従って当該各サブゲート電極を高電圧にて制御する事が可能と

なる。又、第１乃至第６サブゲート電極が、それぞれメインゲート電極、ソース領域及びドレイン領域とは異なる電圧供給源に接続されている為、それぞれ独立して電圧制御可能であり、従って電界及びオン電流の自在の制御が可能となる。その為、例えば２００ボルトの高ドレイン電圧で動作させても、ゲート電極間の絶縁破壊や、オフセット領域のしきい値電圧の変動が防止され、しかもオン電流も例えば１０％以下に抑制する事が可能となる。

【図面の簡単な説明】

【図１】本発明に係る高耐圧薄膜トランジスタの一具体例を説明する為の断面図である。

【図２】本発明に係る高耐圧薄膜トランジスタの一具体例を説明する為の断面図である。

【図３】本発明に係る高耐圧薄膜トランジスタの一具体例を説明する為の断面図である。

【図４】本発明に係る高耐圧薄膜トランジスタの一具体例を説明する為の断面図である。

【図５】本発明に係る高耐圧薄膜トランジスタの一具体例を説明する為の断面図である。

【図６】本発明に係る高耐圧薄膜トランジスタの一具体例を説明する為の断面図である。

【図７】本発明に係る高耐圧薄膜トランジスタの製造方法の一具体例の工程を説明する為の断面図であり、図７（ａ）は半導体薄膜７３を形成した状態、図７（ｂ）はメインゲート電極７９等を形成した状態、図７（ｃ）は第１サブゲート電極８５を形成した状態、図７（ｄ）は第２サブゲート電極８７を形成した状態をそれぞれ示している。

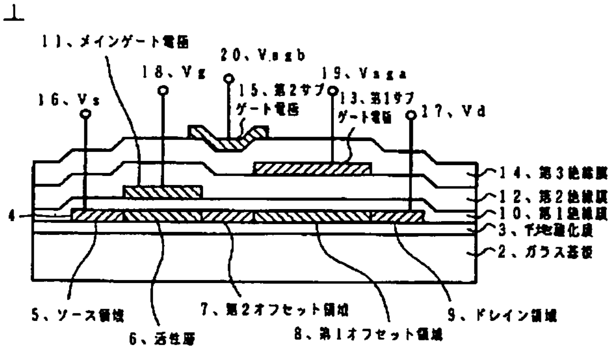
【図８】本発明に係る高耐圧薄膜トランジスタの第２オフセット領域７の幅と規格化したオン電流（Ａ）及び耐圧（Ｂ）との関係を示したグラフである。

【図９】従来の高耐圧薄膜トランジスタを説明する為の断面図である。

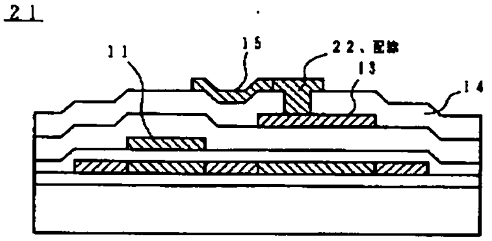
【符号の説明】

１、２１、３１、４１、５１、６１	高耐圧薄膜トランジスタ
２	基板
４	半導体薄膜
５	ソース領域
６	活性層
７	第２オフセット領域
８	第１オフセット領域
９	ドレイン領域
１１	メインゲート電極
１３	第１サブゲート電極
１５	第２サブゲート電極

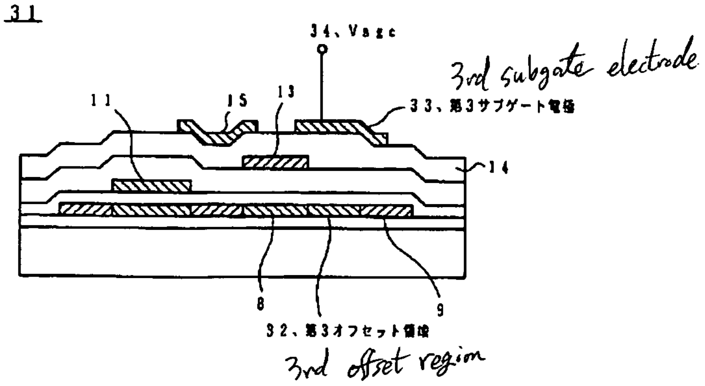
【図１】



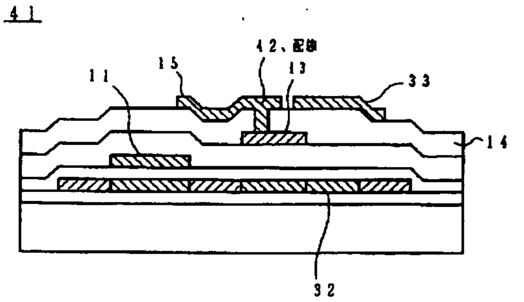
【図２】



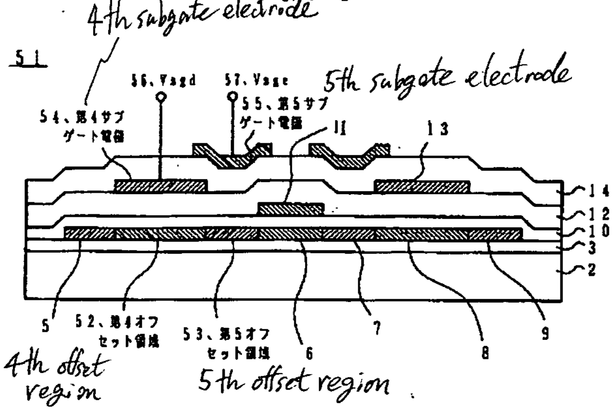
【図３】



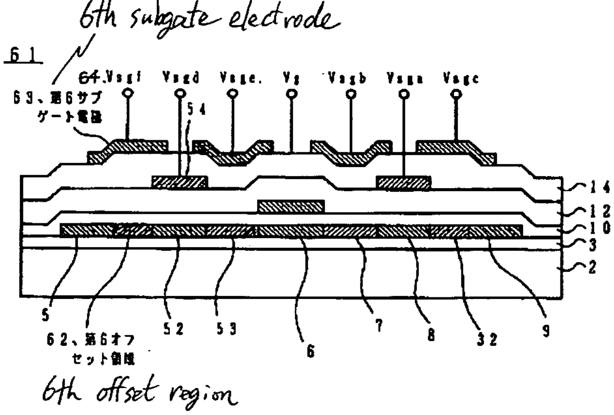
【図４】



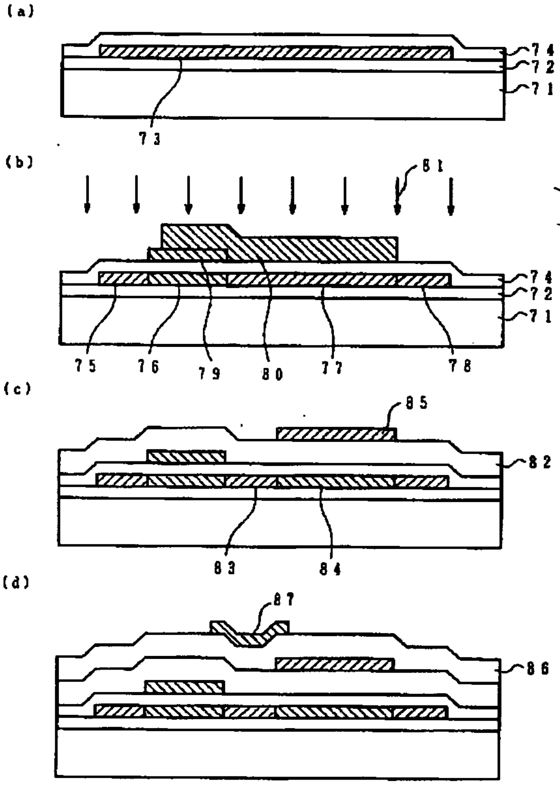
【図５】


4th subgate electrode
51
56、Vsgd
57、Vsge
5th subgate electrode
54、第4サブゲート電極
55、第5サブゲート電極
11
13
14
12
10
3
2
5
52、第4オフセット領域
53、第5オフセット領域
6
7
8
9
4th offset region
5th offset region

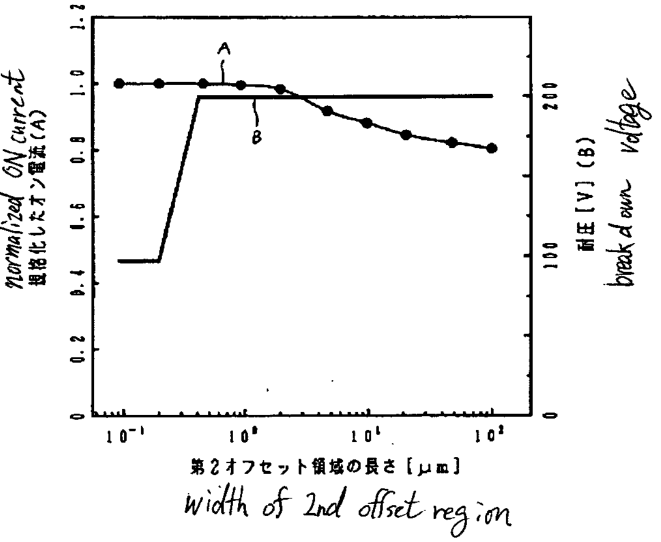
【図６】


6th subgate electrode
61
64.Vsgf
Vsgd
Vsge.
Vg
Vsgb
Vsga
Vsgc
63、第6サブゲート電極
54
14
12
10
3
2
5
62、第6オフセット領域
52
53
6
7
8
32
9
6th offset region

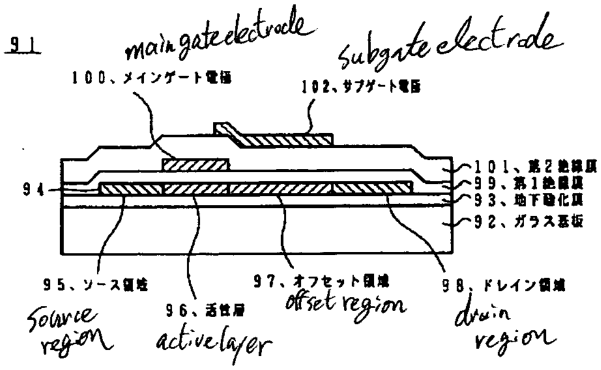
【図７】


(a)
74
72
71
73
(b)
81
74
72
71
75
76
79
80
77
78
(c)
85
82
83
84
(d)
87
86

【図８】


規格化したオン電流(A)
normalized ON current
1.2
1.0
0.8
0.6
0.4
0.2
0
A
B
耐圧[V](B)
break down voltage
200
100
0
10⁻¹
10⁰
10¹
10²
第2オフセット領域の長さ[μm]
width of 2nd offset region

【図９】


91
main gate electrode
subgate electrode
100、メインゲート電極
102、サブゲート電極
101、第2絶縁膜
99、第1絶縁膜
93、地下酸化膜
92、ガラス基板
94
95、ソース領域
96、活性層
97、オフセット領域
98、ドレイン領域
source region
active layer
offset region
drain region